

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-145367

(43)Date of publication of application : 08.09.1982

(51)Int.Cl.

H01L 27/12

H01L 21/88

(21)Application number : 56-030904

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 03.03.1981

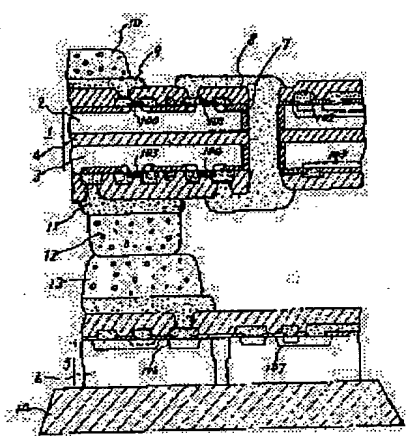
(72)Inventor : HIRAO TADASHI

## (54) THREE-DIMENSIONAL SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To make it possible to obtain three-dimensional integration, by integrating semiconductor circuit elements on both top and bottom surfaces of a first semiconductor through an electric insulator, piercing the semiconductor to connect said elements electrically, and connecting and fixing a similar second semiconductor to the first semiconductor by bumped metals.

**CONSTITUTION:** The top surface part 2 and the bottom surface part 3 of the first semiconductor substrate 1 is electrically insulated and separated by an insulating body 4 which is held in-between. The semiconductor circuit elements 100-102 are integrated on the surface of the top surface part 2, and the elements 103-105 are integrated on the surface of the back surface part 3. A through hole region 7 is provided in the region where said elements are not present by etching. The top surface element 101 and the back surface element 104 are connected by using a wiring 8. Wirings 9 and 11 are provided on top and bottom surface, and the bumped metals 10 and 12 are deposited thereon. Thereafter, the second semiconductor 5 having the similar structure is formed.



The bumped metal 13 provided on the surface is contacted with the metal 12. In this way required number of stages are stacked. The circuit is provided only on the top surface of the substrate at the lowest stage, and the substrate is fixed to a package base 14.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭57-145367

⑤ Int. Cl.<sup>3</sup>  
H 01 L 27/12  
21/88

識別記号

庁内整理番号  
6426-5F  
6810-5F

⑬ 公開 昭和57年(1982)9月8日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑭ 三次元半導体装置

① 特 願 昭56-30904  
② 出 願 昭56(1981)3月3日  
③ 発 明 者 平尾正

伊丹市瑞原4丁目1番地三菱電

機株式会社エル・エス・アイ研  
究所内  
④ 出 願 人 三菱電機株式会社  
東京都千代田区丸の内2丁目2  
番3号  
⑤ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

三次元半導体装置

2. 特許請求の範囲

(1) 第1の半導体において、基体表面と裏面とが電気的に絶縁され、それぞれ表面両面上に半導体回路素子が集積化され、第一の半導体基体の表面の回路素子と裏面の回路素子との間で該基体を貫通して電気的に配線されかつ上記第1の半導体基体と同様の構造で配線された第2の半導体基体との間でバンプ金属によつて配線かつ機械的保持がなされたことを特徴とする三次元半導体装置。

(2) 上記半導体基体を三次元的に多数連続して配線形成しかつ最底部半導体基体において、表面部のみに半導体回路素子を集積化し表面には形成せずパッケージ台にダイボンダされたことを特徴とする特許請求の範囲第1項記載の三次元半導体装置。

3. 発明の詳細な説明

この発明は三次元半導体装置に関するものである。

る。

半導体集積回路として既に二次元的に超規模に半導体素子が集積化されており、今後は三次元的な集積化が進むものと考えられる。本発明はこの様な要請によつてなされたものである。

以下、本発明の一実施例を図に従つて説明する。第1の半導体基体(1)の表面部(2)と裏面部(3)とを絶縁体(4)で電気的に絶縁分離する。この方法は既に公知のシリコン・オン・サファイヤ(SOS)技術や、酸素や窒素のイオン注入によるシリコン基体中に絶縁膜を形成する技術や、GaAsなどの三五化合物半導体のCrドーブによる絶縁性を利用した多重エビタキシャル技術や、絶縁膜上に形成された膜を結晶化する技術などでおこなわれる。次いで、従来から公知の方法によつて各表面部に半導体回路素子(100)、(101)、…(105)を形成集積化する。半導体基体(1)の一部で貫通した領域(7)をエッチング法で形成し、これを通して表面回路(101)と裏面回路(104)との電気的配線(8)を行う。

さらに、各表面から信号を出入れするため集積化

された各表面上の配線(9)、(11)を通してパンプ金属(10)、(12)を形成する。

同様の構造を持つた第2の半導体(5)との間で、上記パンプ金属(12)、(13)を通して配線接続される。さらに、順次このように第3、第4…の半導体基体と連続して配線集積化することが可能でその集積密度は極めて大きく向上することになる。

また、図に示す様にこれら三次元半導体装置はパッケージされる基台(14)に表面のみ回路が集積化され裏面は作られていない底部半導体基体によって固定されている。

#### 4. 図面の簡単な説明

図は本発明による三次元半導体装置の一実施例を示す断面図である。

図において、(1)、(5)…半導体基体、(4)…絶縁体、(7)貫通領域、(8)、(9)、(11)…金属配線、(10)、(12)、(13)…パンプ金属、(100)、(101)、(102)、(103)、(104)、(105)、(106)、(107)…半導体回路素子、(14)…パッケージの基台。

